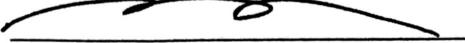


I, Brian Toth, hereby certify that the following document is, to the best of my knowledge and belief, a true and accurate translation from Japanese into English.

JPH05251391 (Shimada)

I declare under the penalty of perjury under the laws of the United States of America that the foregoing is true and correct.


Signature

9/17/18
Date

Brian Toth
Name

Jurat

State of Washington

County of King

Signed and sworn to (or affirmed) before me on September 17, 2018 by Brian Toth

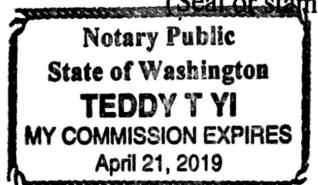

(Signature)

Teddy T YI

Printed Name

My appointment

Expires 04/21/2019



ASM Ex. 1005

IPR Petition - USP 7,033,937

(19) Japan Patent Office (JP)

(12) **Japanese Unexamined Patent Application Publication (A)**

(11) Japanese Unexamined Patent Application Publication Number

Japanese Unexamined Patent Application Publication H-251391

(43) Publication date: September 28, 1993

(51) Int. Cl. ⁵	Identification codes	JPO file numbers	FI	Technical indications
H 01 L 21/302		B 7353-4M		
21/205				
21/302		H 7353-4M		

Request for examination: Not yet requested Number of claims: 1 (Total of 6 pages)

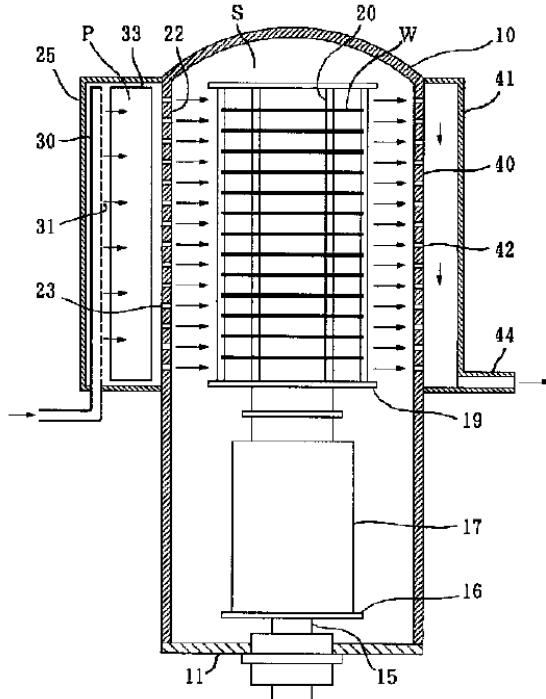
(21) Application number	Japanese Patent Application H4-81392	(71) Applicant	000109576 Tokyo Electron Tohoku Ltd. 52 Aza Matsunagane, Iwayado, Esashi-shi, Iwate-ken
(22) Date of application	March 4, 1992	(72) Inventor	Yutaka SHIMADA % Tokyo Electron Sagami Ltd., 1-2-41 Machiya, Shiroyama-cho, Tsukui-gun, Kanagawa-ken
		(74) Agent	Patent Attorney Masahiko OI

(54) (TITLE OF THE INVENTION) PLASMA PROCESSING DEVICE FOR SEMICONDUCTOR WAFERS

(57) (ABSTRACT)

(PURPOSE) To provide a plasma processing device capable of allowing a process gas that generates plasma to flow evenly in the vertical direction with respect to semiconductor wafers held in a vertically stacked state and thereby performing uniform plasma processing on each of the plurality of semiconductor wafers.

(CONSTITUTION) The plasma processing device includes: a processing vessel 10 configured to divide a processing space S where a plurality of semiconductor wafers W are held so as to be stacked vertically with space therebetween; a plasma generation vessel 25 formed integrally with the processing vessel; uniform radical inlet ports 23 facing a partition wall 22 between the processing vessel and the plasma generation vessel over an entire vertical length of a wafer holding area; uniform gas discharge ports 42 facing the radical inlet ports; and a process gas supply mechanism including uniform gas supply ports 31 and a parallel plate type plasma generation electrode 33, the process gas supply mechanism and plasma generation electrode being provided inside the plasma generation vessel.



(SCOPE OF THE PATENT CLAIMS)

(CLAIM 1) A plasma processing device for semiconductor wafers comprising: a processing vessel configured to divide a processing space including a wafer holding area where a plurality of semiconductor wafers are held so as to be stacked vertically with space therebetween along a horizontal direction; a plasma generation vessel configured to divide a plasma generation space provided integrally with the processing vessel via the processing space and a partition wall; radical inlet ports formed uniformly in a vertical direction in an area of the partition wall facing an entire vertical length of the wafer holding area; a gas exhaust mechanism including gas discharge ports formed uniformly in the vertical direction in an area facing the entire vertical length of the wafer holding area, the gas discharge ports being provided at positions facing the radical inlet ports via the wafer holding area; a process gas supply mechanism including process gas supply ports formed uniformly in the vertical direction, the process gas supply ports being provided so as to face the entire area where the radical inlet ports are positioned in the plasma generation vessel; and a parallel plate type plasma generation electrode provided outside the plasma generation vessel between the process gas supply mechanism and the partition wall.

(DETAILED DESCRIPTION OF THE INVENTION)

(0001)

(FIELD OF INDUSTRIAL APPLICATION) The present invention relates to a plasma processing device for semiconductor wafers.

(0002)

(PRIOR ART) In the structure of a semiconductor device, various types of processing such as deposition processing, etching processing, and ashing processing typically must be performed on the surface of a semiconductor wafer, but a plasma of a process gas has come to be used for such processing in response to increases in device density and integration. This plasma contains a mixture of plasma gas ions, radicals, and electrons, and these produce various reactions with the semiconductor wafer surface so that the intended processing is performed. From the perspective of the efficiency of such plasma processing for semiconductor wafers, it is preferable to be able to simultaneously process a plurality of semiconductor wafers.

(0003) Etching devices utilizing plasma have been proposed previously in Japanese Unexamined Patent Application Publication S61-266584 and Japanese Unexamined Patent Application Publication S62-149891, for example, as devices which perform plasma processing on a plurality of semiconductor wafers as a batch. In these devices, plasma processing is performed on semiconductor wafers by holding the semiconductor wafers to be processed in a vertically stacked state inside a processing vessel, introducing a process gas which generates plasma into the processing vessel via a gas inlet pipe using a discharge pipe or the like, and discharging the gas with an exhaust pipe provided at a position facing the gas inlet pipe in the processing vessel.

(0004)

(PROBLEM TO BE SOLVED BY THE INVENTION) However, in these conventional plasma processing devices, since a process gas which generates plasma is introduced into the

processing vessel via the gas inlet pipe, the process gas is diffused vertically within the processing vessel. Therefore, the state of flow of the process gas differs depending on the vertical position of the semiconductor wafers that are stacked vertically, which results in a problem in that although a plurality of semiconductor wafers are processed as a batch, the respective semiconductor wafers cannot be processed uniformly.

(0005) The present invention solves the problem described above, and an object of the present invention is to provide a plasma processing device for semiconductor wafers capable of allowing a process gas that generates plasma to flow evenly in the vertical direction with respect to a plurality of semiconductor wafers held in a vertically stacked state and, as a result, performing uniform plasma processing on each of the plurality of semiconductor wafers.

(0006)

(MEANS FOR SOLVING THE PROBLEM) The plasma processing device for semiconductor wafers according to the present invention includes: a processing vessel configured to divide a processing space including a wafer holding area where a plurality of semiconductor wafers are held so as to be stacked vertically with space therebetween along a horizontal direction; a plasma generation vessel configured to divide a plasma generation space provided integrally with the processing vessel via the processing space and a partition wall; radical inlet ports formed uniformly in a vertical direction in an area of the partition wall facing an entire vertical length of the wafer holding area; a gas exhaust mechanism including gas discharge ports formed uniformly in the vertical direction in an area facing the entire vertical length of the wafer holding area, the gas discharge ports being provided at positions facing the radical inlet ports via the wafer holding area; a process gas supply mechanism including process gas supply ports formed uniformly in the vertical direction, the process gas supply ports being provided so as to face the entire area where the radical inlet ports are positioned in the plasma generation vessel; and a parallel plate type plasma generation electrode provided outside the plasma generation vessel between the process gas supply mechanism and the partition wall.

(0007)

(OPERATION) With the plasma processing device of the present invention, plasma is generated in the plasma generation vessel by the process gas from the process gas supply mechanism due to the action of the plasma generation electrode, and this process gas is introduced into the processing vessel via the radical inlet ports of the partition wall and then discharged from the gas discharge ports after flowing through the wafer holding area. However, since not only the radical inlet ports of the partition wall and the gas discharge ports, but also the process gas supply ports in the plasma generation vessel are formed uniformly in the vertical direction in the area facing the entire vertical length of the wafer holding area, the flow of the process gas through the wafer holding area in the processing vessel becomes sufficiently uniform in the vertical direction, and as a result, sufficiently uniform plasma processing can be performed on each of the semiconductor wafers.

(0008)

(EXAMPLES) Examples of the present invention will be described hereinafter. FIGS. 1 and 2 are an explanatory vertical cross-sectional view and an explanatory horizontal plan view of a plasma processing device for semiconductor wafers according to an embodiment of the present invention, wherein 10 is a cylindrical processing vessel made of quartz, for example. The upper end of this processing vessel 10 is closed, while the lower end is opened, and a cap plate 11 made of stainless steel or the like is provided in an airtight manner on this lower end opening so as to be freely openable and closable. The processing vessel 10 is a vessel configured to divide a processing space S including a wafer holding area, and multiple semiconductor wafers W to be processed are held in the wafer holding area in the processing space S so as to be stacked in the vertical direction with space therebetween along the horizontal direction.

(0009) Specifically, a turntable 16 is provided on the inner end of a rotating shaft 15 which passes through the cap plate 11 of the processing vessel 10 in an airtight manner with a magnetic seal, for example, and a heat insulating cylinder 17 made of quartz is mounted on this turntable 16. A wafer board 19 made of quartz, for example, is mounted on this heat insulating cylinder 17, and 25 or 50 semiconductor wafers W, for example, are supported by support grooves formed in support rods 20 of the wafer board 19 with appropriate spacing therebetween. The pitch of the semiconductor wafers W on this wafer board 19 is not particularly limited but may be, for example, 12.7 mm for 8-inch semiconductor wafers.

(0010) On one side of the outer periphery of the processing vessel 10, a plasma generation vessel 25 made of quartz, for example, is provided integrally using a portion of the peripheral wall thereof as a partition wall 22 so as to divide a plasma generation space P with the partition wall 22. The plasma generation vessel 25 is formed so as to extend in the vertical direction over the wafer holding area – that is, over a range facing the entire vertical length of the area of space occupied by the wafer board 19. Radical inlet ports 23 are then formed uniformly in the vertical direction in an area facing the entire vertical length of the wafer holding area in the partition wall 22 between the processing space S and the plasma generation space P.

(0011) Specifically, the radical inlet ports 23 are formed by multiple circular through-holes of the same diameter arranged with a uniform pitch in the vertical direction in an area of the partition wall 22 facing the entire vertical length of the wafer holding area. Here, the diameter of the through-holes is from around 1 to 3 mm, and the pitch is 12.7 mm, for example.

(0012) A process gas supply pipe 30 forming a process gas supply mechanism is disposed so as to extend vertically facing the region of the partition wall 22 where the radical inlet ports 23 are formed inside the plasma generation vessel 25, and process gas supply ports 31 are formed uniformly in the vertical direction on the side of the process gas supply pipe 30 facing the radical inlet ports 23.

(0013) Specifically, the process gas supply ports 31 are formed by multiple circular through-holes of the same

diameter arranged at a uniform pitch in the vertical direction on the peripheral wall part of the process gas supply pipe 30 facing the radical inlet ports 23. Here, the diameter of the through-holes is around 0.5 mm, for example, and the pitch is 25 mm, for example.

(0014) Further, a parallel plate type plasma generation electrode 33 is provided between the process gas supply pipe 30 and the partition wall 22 so as to be positioned on the outside of the plasma generation vessel 25 dividing the plasma generation space P, and a high-frequency power supply 35 is connected to one end thereof, while the other end is grounded. Here, a power supply of around 1 KW, for example, which outputs a frequency of 13.56 MHz, for example, is used as the high-frequency power supply 35.

(0015) An exhaust port 41 is provided integrally on the outer periphery of the processing vessel 10 on the opposite side as the plasma generation vessel 25 using a portion of the peripheral wall thereof as a partition wall 40 so as to divide the exhaust path with the partition wall 40. As in the case of the radical inlet ports 23, gas discharge ports 42 are formed uniformly in the vertical direction in the partition wall 40 of the exhaust port 41 between the processing space S and the exhaust port 41 over a range facing the entire vertical length of the wafer holding area. An exhaust pipe 44 connected to a vacuum exhaust pump (not illustrated) is provided on this exhaust port 41.

(0016) Specifically, the gas discharge ports 42 are formed by multiple circular through-holes of the same diameter arranged at a uniform pitch in the vertical direction in an area of the partition wall 40 facing the entire vertical length of the wafer holding area. Here, the diameter of the through-holes is greater than or equal to that of the radical inlet ports 23, and the pitch is 12.7 mm, for example.

(0017) The respective through-holes associated with the radical inlet ports 23 of the partition wall 22 and the respective through-holes associated with the gas discharge ports 42 of the partition wall 40 all have the same pitch as the semiconductor wafers W, and through-holes corresponding to one another are disposed so as to correspond to one another in the horizontal direction at the level of the center of the gap between two semiconductor wafers W that are vertically adjacent to one another.

(0018) The operation of the plasma processing device for semiconductor wafers having a configuration such as that described above is as follows. Specifically, in a state in which the semiconductor wafers W to be processed are held in the wafer holding area inside the processing vessel 10, the inside of the processing space S is placed in a reduced-pressure state by the exhaust pipe 44 via the exhaust port 41, and a process gas is supplied by the process gas supply pipe 30 while a high-frequency voltage is applied to the parallel plate type plasma generation electrode 33 so that plasma is generated by the process gas in the plasma generation space P. The process gas from which this plasma is generated is introduced into the processing space S via the radical inlet ports 23 of the partition wall 22 due to a pressure difference. The process gas then flows through the wafer holding area along the surfaces of the semiconductor wafers W, and after being discharged to the exhaust port 41 from the gas discharge

ports 42 of the partition wall 40, the process gas is discharged by the exhaust pipe 44.

(0019) The radicals of the process gas produced by the plasma are introduced into the processing space S from the radical inlet ports 23, and the target processing is achieved for the surfaces of the semiconductor wafers W by the action of these radicals. During this processing, the turntable 16 is rotated at a speed of around 2 to 3 rpm, for example, via the rotating shaft 15.

(0020) As a result of the rotation of the turntable 16, the semiconductor wafers W mounted within the wafer board 19 also rotate, and the radicals flow parallel to the surfaces of the semiconductor wafers W, which makes it possible to perform uniform processing within the plane of the semiconductor wafers W.

(0021) A gas with a composition corresponding to the purpose of the process of the semiconductor wafers W is used as the process gas. Examples of representative process gases are a mixed gas of carbon tetrafluoride gas and oxygen gas for etching processing, for example, and a mixed gas of oxygen gas and nitrogen gas for ashing processing of a resist film. Further, hydrogen gas, water vapor, and other gases may also be mixed or used alone.

(0022) During plasma processing, the inside of the processing vessel 10 is maintained in a reduced-pressure state of 0.2 Torr, for example, by a vacuum pump connected to the exhaust pipe 44, and the inside of the plasma generation vessel 25 is maintained at a reduced pressure of 0.5 Torr, for example. By keeping the processing space S in a state of lower pressure than the plasma generation space P, the radicals of the process gas produced by the plasma generated in the plasma generation space P are introduced smoothly into the processing space S due to the flow of the process gas.

(0023) Therefore, in the configuration described above, both the radical inlet ports 23 in the partition wall 22 and the gas discharge ports 42 in the partition wall 40 are formed uniformly in the vertical direction in an area facing the entire vertical length of the wafer holding area, and a rectifying action is also applied due to the respective semiconductor wafers W being disposed along the horizontal direction, so the radicals from the radical inlet ports 23 flow in the horizontal direction inside the processing space S essentially without being diffused in the vertical direction.

(0024) In addition, in the plasma generation vessel 25, since the process gas supply ports 31 of the process gas supply pipe 30 are formed in an opposing state as well as uniformly in the vertical direction with respect to the area of the partition wall 22 where the radical inlet ports 23 are positioned, the process gas flowing toward the radical inlet ports 23 in the plasma generation space P also flows essentially in the horizontal direction without being diffused in the vertical direction.

(0025) As a result, the radicals introduced into the processing space S via the radical inlet ports 23 of the partition wall 22 are not diffused in the vertical direction, and the radicals are supplied to the wafer holding area with a uniform flow over the entire vertical length of the wafer holding area in a state with no differences due to the

vertical position. As described above, the radicals flow in the horizontal direction through the wafer holding area even within the processing space S, so the radicals are supplied so as to flow through each of the plurality of semiconductor wafers W held in the wafer holding area in the same state for all of the semiconductor wafers W at different positions in the vertical direction. As a result, uniform plasma processing can be achieved for each of the semiconductor wafers W, and uniform plasma processing can thus be performed on multiple semiconductor wafers as a batch.

(0026) In addition, since the plasma generation electrode 33 on the outside of the plasma generation vessel 25 is a parallel plate type electrode, the size can be increased easily, and a plasma generation space P corresponding to the entire vertical length of the wafer holding area can be realized reliably and at low cost.

(0027) Although the plasma generation vessel 25 is provided integrally with the processing vessel 10, the plasma generation space P is adjacent to the processing space S via the partition wall 22, so the radicals produced in the plasma generation space P are introduced into the processing space S with high efficiency. However, the space in which plasma is actually generated is limited to the area of space between the processing space and the plasma generation electrode 33, and due to the presence of the partition wall 22, ions do not penetrate directly into the processing space S and affect the semiconductor wafers W. Therefore, defects in the semiconductor wafers due to the effect of ions or the effect of the plasma electric field, which are observed when ions act directly on the semiconductor wafers W, do not occur.

(0028) In addition, since it is sufficient for the processing space S including the required wafer holding area to be secured within the processing vessel 10, the processing vessel 10 can be made small in size. In particular, since it is unnecessary to provide a metal member for preventing the adverse effects of plasma on the semiconductor wafers W inside the processing vessel 10, there is no risk of the contamination of the semiconductor wafers W by metals.

(0029) Further, as described above, the processing vessel 10 may be a simple vessel that is not provided with a metal shield plate or the like inside or outside the vessel, so the thermal capacity of the vessel itself becomes small. Therefore, when performing plasma processing while heating, the temperature of the semiconductor wafers W can be rapidly raised or lowered with an appropriate heating source. In particular, since the processing vessel 10 is ordinarily formed from quartz, which allows light to pass through, a heating source formed by arranging a plurality of infrared radiation lamps on the periphery of the processing vessel 10 can be suitably used as a heating source, and in this case, the semiconductor wafers W can be raised and lowered in temperature very rapidly and kept at a high temperature. As a result, accurate temperature management of the semiconductor wafers W can be achieved precisely and easily. The heating temperature of the semiconductor wafers W differs depending on the target processing, but may be a temperature within the range of from around 140

to 200°C in the case of ashing processing, for example, and there is no risk of heavy metal contamination in the semiconductor wafers during low-temperature processing. (0030) An example of the present invention was described above, but various modifications may be added to the present invention. For example, in the example described above, the plasma generation vessel 25 is provided as an external-type vessel, so to speak, on the outer periphery of the processing vessel 10, and a portion of the peripheral wall of the processing vessel 10 is used as a partition wall 22 with respect to the plasma generation space P, but a plasma generation vessel which divides the plasma generation space P may also be provided as an internal-type vessel inside the processing vessel 10.

(0031) In addition, in the example described above, the exhaust port 41 is also provided as an external-type port, so to speak, but a gas exhaust pipe 50 may also be provided instead of such an exhaust port 41, as illustrated in FIG. 3. This gas exhaust pipe 50 must also have gas discharge ports 52 made of circular through-holes uniformly in the vertical direction in an area facing the entire vertical length of the wafer holding area. Such a gas discharge pipe 50 yields the advantage that the configuration of the device is simplified.

(0032) Further, since the effects described above are achieved reliably, as in the illustrated example, it is preferable for the array pitch of the radical inlet ports 23 of the partition wall 22 and the gas discharge ports 42 of the partition wall 40 or the gas discharge ports 52 of the gas discharge pipe 50 to match the arrangement pitch of the semiconductor wafers W and for the exhaust ports to be provided in a state facing one another via the gap between two semiconductor wafers W that are vertically adjacent to one another. In this case, the size of the pitch can be selected appropriately and may be a pitch of 9.5 mm, for example, when processing 6-inch semiconductor wafers, for example. However, this aspect is not a feature that is absolutely essential to the present invention.

(0033) In addition, in the illustrated example, the radical inlet ports 23, the gas discharge ports 42 or 52, and the process gas supply ports 31 all consist of circular through-holes, but these may also be through-holes of a shape other than a circular shape, and the same effects can be achieved even with one or a plurality of slits. However, circular through-holes are preferable from the perspective of the ease of fabrication or the like.

(0034) The opening diameter of the radical inlet ports 23 and the gas discharge ports 42 may be any diameter as long as the required reduced-pressure states can be realized in the processing space S and the plasma generation space P, but when the diameter of the radical inlet ports 23 is too large, the prescribed pressure difference cannot be achieved between the processing space S and the plasma generation space P. As a result, a good plasma cannot be generated, or the radicals generated by the plasma cannot be introduced smoothly into the processing space S. In addition, the diameter of the gas discharge ports 42 is preferably greater

than or equal to that of the radical inlet ports 23 from the perspective of allowing the pressure-reducing effect of the exhaust pipe 44 to effectively act on the processing space S.

(0035)

(EFFECT OF THE INVENTION) As described above, with the present invention, the flow of the process gas in the plasma generation space and the processing space is not diffused in the vertical direction and becomes a uniform flow with no differences due to vertical position over the entire vertical length of the wafer holding area. As a result, radicals flow through each of the plurality of semiconductor wafers held in the wafer holding area in a uniform state, regardless of the vertical position. Therefore, uniform plasma processing can be achieved for each of the semiconductor wafers, and uniform plasma processing can be performed on multiple semiconductor wafers as a batch.

(BRIEF DESCRIPTION OF THE DRAWINGS)

(FIG. 1) is an explanatory vertical front view illustrating the configuration of a plasma processing device for semiconductor wafers according to an example of the present invention.

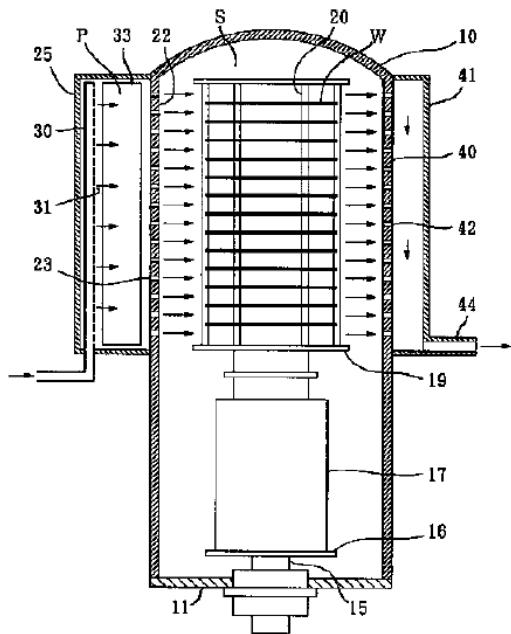
(FIG. 2) is an explanatory horizontal plan view of a plasma processing device for semiconductor wafers according to an example of the present invention.

(FIG. 3) is an explanatory vertical front view illustrating the configuration of a plasma processing device for semiconductor wafers according to another example of the present invention.

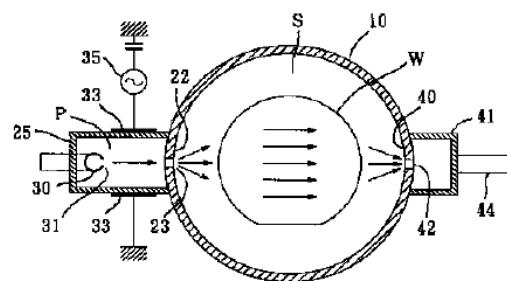
(EXPLANATION OF REFERENCES)

- 10: processing vessel
- 11: cap plate
- S: processing space
- W: semiconductor wafers
- 15: rotating shaft
- 16: turntable
- 17: heat insulating cylinder
- 19: wafer board
- 20: support rod
- 22: partition wall
- P: plasma generation space
- 25: plasma generation vessel
- 23: radical inlet port
- 30: process gas supply pipe
- 31: process gas supply port
- 33: plasma generation electrode
- 35: high-frequency power supply
- 40: partition wall
- 41: exhaust port
- 42: gas discharge port
- 44: exhaust pipe
- 50: gas discharge pipe
- 52: gas discharge port

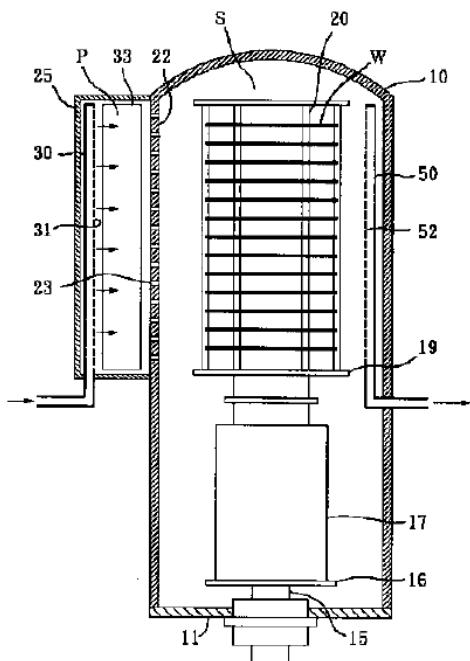
(FIG. 1)



(FIG. 2)



(FIG. 3)



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-251391

(43)公開日 平成5年(1993)9月28日

(51)Int.Cl.⁵

H 01 L 21/302
21/205
21/302

識別記号 庁内整理番号
B 7353-4M
H 7353-4M

F I

技術表示箇所

(21)出願番号

特願平4-81392

(22)出願日

平成4年(1992)3月4日

(71)出願人 000109576

東京エレクトロン東北株式会社
岩手県江刺市岩谷堂字松長根52番地

(72)発明者 島田 豊

神奈川県津久井郡城山町町屋1丁目2番41
号 東京エレクトロン相模株式会社内

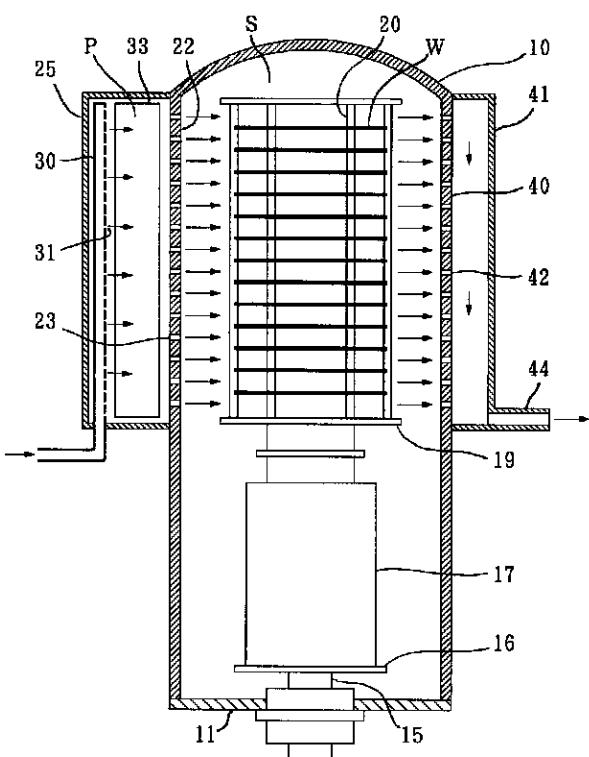
(74)代理人 弁理士 大井 正彦

(54)【発明の名称】 半導体ウェハーのプラズマ処理装置

(57)【要約】

【目的】 上下に積重状態で保持された半導体ウェハーに対し、プラズマを発生させたプロセスガスを上下方向において均等に流過させ、各半導体ウェハーに均一なプラズマ処理を施すことができるプラズマ処理装置を提供する。

【構成】 複数の半導体ウェハーWが上下に離間して重なるよう保持される処理空間Sを区画する処理容器10、処理容器と一体的なプラズマ発生容器25、処理容器とプラズマ発生容器間の隔壁22にウェハー保持領域の上下全域に対向する均等なラジカル導入口23、ラジカル導入口と対向する均等なガス排出口42、プラズマ発生容器内に設けた、均等なガス供給口31を有するプロセスガス供給機構および平行平板型のプラズマ発生用電極33を有してなる。



【特許請求の範囲】

【請求項1】 複数の半導体ウエハーが、各々水平方向に沿った状態で互いに上下方向に離間して重なるよう保持されるウエハー保持領域を含む処理空間を区画する処理容器と、この処理容器に、前記処理空間と隔壁を介して一体的に設けられたプラズマ発生空間を区画するプラズマ発生容器と、前記隔壁において、前記ウエハー保持領域の上下方向の全域に對向する領域に上下方向に均等に形成されたラジカル導入口と、前記ウエハー保持領域を介してこのラジカル導入口と對向する位置に設けられた、前記ウエハー保持領域の上下方向の全域に對向する領域に上下方向に均等に形成されたガス排出口を有するガス排出機構と、前記プラズマ発生容器内において、前記ラジカル導入口が位置された領域の全域と對向するよう設けられた、上下方向に均等に形成されたプロセスガス供給口を有するプロセスガス供給機構と、このプロセスガス供給機構と前記隔壁との間で前記プラズマ発生容器の外側に設けられた、平行平板型のプラズマ発生用電極とを有してなることを特徴とする半導体ウエハーのプラズマ処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体ウエハーのプラズマ処理装置に関する。

【0002】

【従来の技術】 一般に半導体デバイスの製造においては、半導体ウエハーの表面に対して、成膜処理、エッチング処理、アッシング処理などの種々の処理を施すことが必要であるが、デバイスの高密度化、高集積化に伴って、上記のような処理のためにプロセスガスのプラズマを利用することが行われてきている。このプラズマには、プロセスガスのイオン、ラジカル、電子が混在しており、これらが半導体ウエハーの表面と種々の反応を生じて、目的とする処理がなされる。そして、このような半導体ウエハーのプラズマ処理は、その効率の点から、複数の半導体ウエハーを同時に処理し得ることが望ましい。

【0003】 従来、複数の半導体ウエハーをバッチ的にプラズマ処理する装置としては、例えば特開昭61-266584号公報、特開昭62-149891号公報にプラズマを利用するエッチング装置が提案されている。これらの装置においては、処理容器内に処理すべき半導体ウエハーを上下に積重した状態で保持し、放電管などによってプラズマを発生させたプロセスガスをガス導入管を介して処理容器内に導入すると共に、処理容器においてガス導入管と對向する位置に設けた排気管により排氣することにより、半導体ウエハーのプラズマ処理がなされる。

【0004】

【発明が解決しようとする課題】 しかしながら、これら

従来のプラズマ処理装置においては、プラズマを発生させたプロセスガスがガス導入管を介して処理容器に導入されるため、処理容器内においてプロセスガスが上下に拡散し、このため、上下に積重された半導体ウエハーの上下方向の位置によってプロセスガスの流れの状態が異なり、結局、複数の半導体ウエハーをバッチ的に処理するものでありながら各半導体ウエハーを均一に処理することができない、という問題点がある。

【0005】 本発明は、以上の問題を解決し、上下に積重した状態で保持された複数の半導体ウエハーに対して、プラズマを発生させたプロセスガスを上下方向において均等に流過させることができ、その結果、複数の半導体ウエハーの各々に均一なプラズマ処理を施すことができる半導体ウエハーのプラズマ処理装置を提供することを目的とする。

【0006】

【課題を解決するための手段】 本発明の半導体ウエハーのプラズマ処理装置は、複数の半導体ウエハーが、各々水平方向に沿った状態で互いに上下方向に離間して重なるよう保持されるウエハー保持領域を含む処理空間を区画する処理容器と、この処理容器に、前記処理空間と隔壁を介して一体的に設けられたプラズマ発生空間を区画するプラズマ発生容器と、前記隔壁において、前記ウエハー保持領域の上下方向の全域に對向する領域に上下方向に均等に形成されたラジカル導入口と、前記ウエハー保持領域を介してこのラジカル導入口と對向する位置に設けられた、前記ウエハー保持領域の上下方向の全域に對向する領域に上下方向に均等に形成されたガス排出口を有するガス排出機構と、前記プラズマ発生容器内において、前記ラジカル導入口が位置された領域の全域と對向するよう設けられた、上下方向に均等に形成されたガス供給口を有するガス供給機構と、このガス供給機構と前記隔壁との間で前記プラズマ発生容器の外側に設けられた、平行平板型のプラズマ発生用電極とを有してなることを特徴とする。

【0007】

【作用】 本発明のプラズマ処理装置によれば、プラズマ発生容器内において、プロセスガス供給機構からのプロセスガスにより、プラズマ発生用電極の作用によってプラズマが発生し、このプロセスガスが隔壁のラジカル導入口を介して処理容器内に導入され、ウエハー保持領域を流過した後ガス排出口から排出されるが、隔壁のラジカル導入口およびガス排出口のみでなく、プラズマ発生容器におけるプロセスガス供給口が、ウエハー保持領域の上下方向の全域に對向する領域において上下方向に均等に形成されているため、処理容器内においては、ウエハー保持領域を流過するプロセスガスの流れが、上下方向において十分に均等なものとなり、その結果、各半導体ウエハーに対して十分に均一なプラズマ処理を行うことができる。

【0008】

【実施例】以下、本発明の実施例を説明する。図1および図2は、本発明の一実施例に係る半導体ウエハーのプラズマ処理装置の説明用縦断面図および説明用横断平面図であって、10は例えば石英よりなる円筒状の処理容器である。この処理容器10は上端が閉塞されていると共に下端は開放されており、この下端開口には開閉自在なステンレス鋼などより成るキャップ板11が気密に設けられている。この処理容器10は、ウエハー保持領域を含む処理空間Sを区画する容器であって、処理空間S内には、ウエハー保持領域において、処理すべき半導体ウエハーWの多数が各々水平方向に沿った状態で互いに上下方向に離間して重なるよう、保持される。

【0009】具体的には、処理容器10のキャップ板11を例えば磁気シールによって気密に貫通する回転軸15の内端にターンテーブル16が設けられており、このターンテーブル16上に石英より成る保温筒17が設置され、この保温筒17上には例えば石英製のウエハーポート19が搭載され、このウエハーポート19の支持ロッド20に形成された支持溝により、例えば25枚あるいは50枚の半導体ウエハーWが適宜の間隔で支持される。このウエハーポート19における半導体ウエハーWのピッチは特に限定されるものではないが、例を挙げると、例えば8インチの半導体ウエハーでは例えば12.7mmとされる。

【0010】前記処理容器10の外周の一側には、その周壁の一部を隔壁22として、この隔壁22とによりプラズマ発生空間Pを区画する例えば石英より成るプラズマ発生容器25が一体的に設けられている。このプラズマ発生容器25は、前記ウエハー保持領域、すなわちウエハーポート19が占有する空間領域の上下方向の全域に対向する範囲にわたって上下方向に延びるよう形成されている。そして、処理空間Sとプラズマ発生空間Pとの間の隔壁22には、ウエハー保持領域の上下方向の全域に対向する領域に、ラジカル導入口23が上下方向に均等に形成されている。

【0011】このラジカル導入口23は、具体的には、隔壁22のウエハー保持領域の上下方向の全域に対向する領域に、同一の径を有する多数の円形の貫通孔が上下方向に均一なピッチで並んで形成されることにより、設けられている。ここに、当該貫通孔の径は例えば1~3mm程度であり、ピッチは例えば12.7mmである。

【0012】前記プラズマ発生容器25内には、隔壁22のラジカル導入口23が形成されている領域と対向して上下に伸びるよう、プロセスガス供給機構を構成するプロセスガス供給管30が配設されており、プロセスガス供給管30には、ラジカル導入口23と対向する側面に、プロセスガス供給口31が上下方向に均等に形成されている。

【0013】このプロセスガス供給口31は、具体的に

は、プロセスガス供給管30における前記ラジカル導入口23と対向する周壁部に、同一の径を有する多数の円形の貫通孔が上下方向に均一なピッチで並んで形成されることにより、設けられている。ここに、当該貫通孔の径は例えば0.5mm程度であり、ピッチは例えば25mmである。

【0014】更に、プロセスガス供給管30と隔壁22との間には、プラズマ発生空間Pを区画するプラズマ発生容器25の外側に位置するよう、平行平板型のプラズマ発生用電極33が設けられており、その一方には高周波電源35が接続されると共に、他方がアースされている。ここに、高周波電源35としては例えば13.56MHzの周波数を出力する例えば1KW程度のものが用いられる。

【0015】前記処理容器10の外周におけるプラズマ発生容器25と反対側には、その周壁の一部を隔壁40として、この隔壁40とにより排気路を区画する排気ポート41が一体的に設けられている。この排気ポート41における処理空間Sとの間の隔壁40には、前記ラジカル導入口23と同様に、前記ウエハー保持領域の上下方向の全域に対向する範囲にわたって、ガス排出口42が上下方向に均等に形成されている。そして、排気ポート41には、図示しない真空排気ポンプに接続された排気管44が設けられている。

【0016】ガス排出口42は、具体的には、隔壁40のウエハー保持領域の上下方向の全域に対向する領域に、同一の径を有する多数の円形の貫通孔が上下方向に均一なピッチで並んで形成されることにより、設けられている。ここに、当該貫通孔の径は、ラジカル導入口23と同等あるいはそれ以上とされ、ピッチは例えば12.7mmである。

【0017】そして、前記隔壁22のラジカル導入口23に係る貫通孔の各々と、隔壁40のガス排出口42に係る貫通孔の各々とは、いずれも半導体ウエハーWと同一のピッチとされていると共に、更に上下に隣接する2枚の半導体ウエハーW間の間隙の中央のレベルにおいて、互いに対応するものが水平方向において対向するよう配置されている。

【0018】以上のような構成による半導体ウエハーのプラズマ処理装置の作動は次のとおりである。すなわち、処理すべき半導体ウエハーWが以上のように処理容器10内のウエハー保持領域に保持された状態において、排気管44により排気ポート41を介して処理空間S内を減圧状態とし、プロセスガス供給管30によりプロセスガスを供給すると共に、プラズマ発生用電極33に高周波電圧を加えることにより、プラズマ発生空間Pにプロセスガスによるプラズマが発生する。このプラズマが発生したプロセスガスは、圧力差により、隔壁22のラジカル導入口23を介して処理空間S内に導入され、半導体ウエハーWの表面に沿ってウエハー保持領域

を通過し、隔壁40のガス排出口42から排気ポート41に排出され、排気管44によって排気される。

【0019】そして、ラジカル導入口23から、プラズマで生成したプロセスガスのラジカルが処理空間S内に導入され、このラジカルによる作用によって半導体ウエハーWの表面について目的とする処理が達成される。この処理の間、ターンテーブル16は、回転軸15を介して例えば2~3 rpm程度の速度で回転される。

【0020】ターンテーブル16が回転することにより、ウエハーポート19内に載置された半導体ウエハーWも回転することとなり、ラジカルが半導体ウエハーWの表面に平行に流れるので、半導体ウエハーWの面内の均一な処理を行うことができる。

【0021】プロセスガスとしては、半導体ウエハーWの処理の目的に応じた組成のガスが用いられる。代表的なプロセスガスの例としては、例えばエッチング処理のためには、四フッ化炭素ガスと酸素ガスとの混合ガス、レジスト膜のアッシング処理のためには、酸素ガスと窒素ガスとの混合ガスが用いられるが、更に水素ガス、水蒸気、その他のガスが混合され、あるいは単独で用いられることがある。

【0022】プラズマ処理の間、処理容器10内は、排気管44に接続された真空ポンプにより例えば0.2 Torrの減圧状態に維持され、またプラズマ発生容器25内は、例えば0.5 Torrの減圧状態に維持される。このように、処理空間Sをプラズマ発生空間Pよりも低い圧力状態に維持することによって、プラズマ発生空間Pにおいて発生したプラズマにより生成したプロセスガスのラジカルが、プロセスガスの流れによって円滑に処理空間S内に導入される。

【0023】而して、上記の構成においては、隔壁22におけるラジカル導入口23および隔壁40におけるガス排出口42の両者が、ウエハー保持領域の上下方向の全域に対向する領域において上下方向に均等に形成されている上、各半導体ウエハーWが水平方向に沿って配置されていることによる整流作用も加わるので、処理空間S内において、ラジカル導入口23からのラジカルは、基本的に上下方向に拡散することなく、水平方向に流れようになる。

【0024】以上に加え、更にプラズマ発生容器25においては、隔壁22のラジカル導入口23の位置されている領域に対し、プロセスガス供給管30のプロセスガス供給口31が対向した状態でしかも上下方向に均等に形成されているため、プラズマ発生空間P内においてラジカル導入口23に向かうプロセスガスも上下方向に拡散せずに本質的に水平方向に流れることとなる。

【0025】以上の結果、隔壁22のラジカル導入口23を介して処理空間S内に導入されたラジカルは、上下方向に拡散することなく、ウエハー保持領域の上下方向の全域において、上下の位置による差異のない状態で

ラジカルが均等な流れでウエハー保持領域に供給されることとなる。そして、既述のように、処理空間S内においてもラジカルはウエハー保持領域を水平方向に通過するので、結局、ウエハー保持領域に保持された複数の半導体ウエハーWの各々について、上下方向の異なる位置の半導体ウエハーWに対してもすべて同等の状態でラジカルが供給されて通過するようになり、その結果、半導体ウエハーWの各々に対して均等なプラズマ処理を達成することができ、結局、多數の半導体ウエハーに対してバッチ的にしかも均等のプラズマ処理を施すことができる。

【0026】また、プラズマ発生容器25の外側におけるプラズマ発生用電極33は、平行平板型のものであるため大型化が容易であり、ウエハー保持領域の上下方向の全域に対応するプラズマ発生空間Pを確実にまた低コストで実現することができる。

【0027】プラズマ発生容器25は処理容器10に一体的に設けられているが、プラズマ発生空間Pは隔壁22を介して処理空間Sに隣接しており、このため、プラズマ発生空間Pで生成したラジカルが高い効率で処理空間Sに導入される。しかし、実際にプラズマが発生する空間はプラズマ発生用電極33間の空間領域に限られる上、隔壁22が存在するため、イオンが処理空間S内に進入して直接的に半導体ウエハーWに作用することができなく、従って、イオンが直接的に半導体ウエハーに作用されたときに見られる、イオンの作用あるいはプラズマ電界の作用による半導体ウエハーの欠陥が生ずることがない。

【0028】また、処理容器10内には必要なウエハー保持領域を含む処理空間Sが確保されればそれで十分であるので、処理容器10を小型のものとすることができ、特に半導体ウエハーWに対するプラズマの悪影響を防止するための金属製の部材を処理容器10内に設けることが不要であるため、半導体ウエハーWの金属による汚染が生ずるおそれがない。

【0029】更に、以上のように、処理容器10は、容器の内部あるいは外部に金属のシールド板などを設けない単なる容器でよいから、それ自体の熱容量が小さくなり、従ってプラズマ処理を加熱下において実行する場合に、適宜の加熱源による半導体ウエハーWの昇温および降温を迅速に行うことができる。特に、処理容器10は通常光を通過させる石英によって形成されることから、加熱源としては、当該処理容器10の周囲に複数の赤外線放射ランプを配置してなるものを好適に使用することができ、この場合には、きわめて急速な半導体ウエハーWの昇温、降温および高温の維持を達成することができる。このことにより、半導体ウエハーWの正確な温度管理を精度よく容易に達成することができる。半導体ウエハーWの加熱温度は、目的とする処理によって異なるが、例えばアッシング処理の場合には140~200°C

程度の範囲の温度とすることができる、低温処理においては半導体ウエハーに重金属汚染が生ずるおそれがない。

【0030】以上、本発明の一実施例について説明したが、本発明においては、種々の変更を加えることが可能である。例えば、上記の実施例では、処理容器10の外周にプラズマ発生容器25がいわば外付け型として設けられて処理容器10の周壁の一部がプラズマ発生空間Pに対する隔壁22とされているが、処理容器10の内部にプラズマ発生空間Pを区画するプラズマ発生容器を内付け型として設けることも可能である。

【0031】また、上記の実施例では、排気ポート41もいわば外付け型として設けられているが、このような排気ポート41の代わりに、図3に示すように、ガス排出管50を設けることもできる。このガス排出管50も、ウエハー保持領域の上下方向の全域に対向する領域に、円形の貫通孔より成るガス排出口52を上下方向に均等に有することが必要である。このようなガス排出管50によれば、装置の構成が簡単となる利点がある。

【0032】更に、上述の作用が確実に達成されることから、図示の例におけるように、隔壁22のラジカル導入口23、並びに隔壁40のガス排出口42若しくはガス排出管50のガス排出口52は、それらの配列ピッチが半導体ウエハーウの配置ピッチと一致していること、かつ上下に隣接する2枚の半導体ウエハーウ間の間隙を介して互いに対向する状態に設けられることが好ましい。この場合に、当該ピッチの大きさは、適宜選定することができ、例えば6インチの半導体ウエハーを処理する場合には例えば9.5mmのピッチとすることができます。但し、この態様は、本発明に本質的に必須の事項ではない。

【0033】また、図示の例では、ラジカル導入口23、ガス排出口42若しくは52およびプロセスガス供給口31はいずれも円形の貫通孔より成るものとされているが、これらは円形以外の貫通孔であってもよく、更に单一のまたは複数のスリットであっても同等の作用効果を得ることができる。しかし、作製の容易性などの観点からは、円形の貫通孔であることが好ましい。

【0034】ラジカル導入口23およびガス排出口42の口径は、処理空間Sおよびプラズマ発生空間Pに必要な減圧状態を実現することのできるものであればよいが、ラジカル導入口23の口径が過大であると、処理空間Sとプラズマ発生空間Pとの間に所期の圧力差が得られなくなり、その結果、良好なプラズマを発生させることができず、若しくはプラズマで発生したラジカルを円滑に処理空間Sに導入することができない。また、ガス

排出口42の口径は、排気管44による減圧作用を有効に処理空間Sに作用させる観点から、ラジカル導入口23と同等またはそれ以上とされるのが好ましい。

【0035】

【発明の効果】以上のように、本発明によれば、プラズマ発生空間および処理空間におけるプロセスガスの流れが、ウエハー保持領域の上下方向の全域において、上下方向に拡散することがなく、上下の位置による差異のない状態で均等な流れとなり、その結果、ウエハー保持領域に保持された複数の半導体ウエハーの各々に対して、上下方向の位置によらずにすべて均等の状態でラジカルが流過するようになり、従って半導体ウエハーの各々に対して均等なプラズマ処理を達成することができ、多数の半導体ウエハーに対してバッチ的にしかも均等のプラズマ処理を施すことができる。

【図面の簡単な説明】

【図1】本発明の一実施例に係る半導体ウエハーのプラズマ処理装置の構成を示す説明用縦断正面図である。

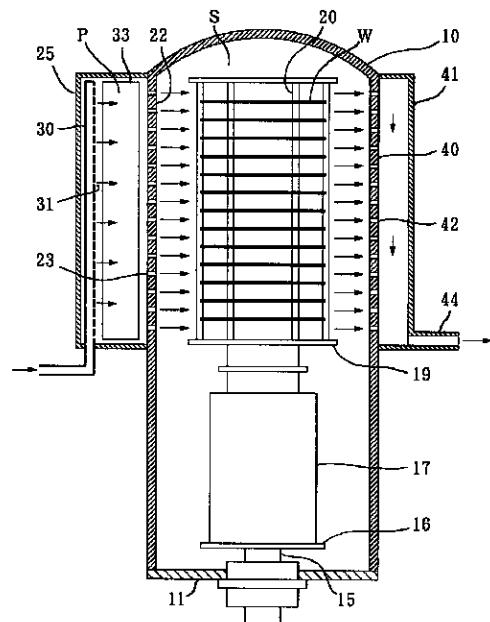
【図2】本発明の一実施例に係る半導体ウエハーのプラズマ処理装置の説明用横断平面図である。

【図3】本発明の他の実施例に係る半導体ウエハーのプラズマ処理装置の構成を示す説明用縦断正面図である。

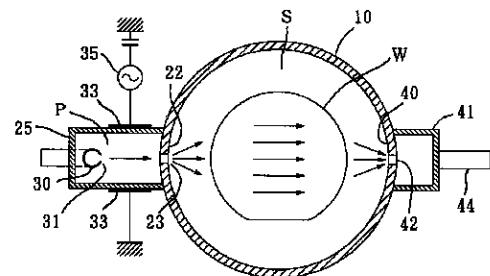
【符号の説明】

10 処理容器	11 キャップ
板	
S 処理空間	W 半導体ウエハー
ハ	
15 回転軸	16 ターンテーブル
17 保温筒	19 ウエハーポート
20 支持ロッド	22 隔壁
P プラズマ発生空間	25 プラズマ発生容器
発生容器	
23 ラジカル導入口	30 プロセスガス供給管
ガス供給管	
31 プロセスガス供給口	33 プラズマ発生用電極
発生用電極	
35 高周波電源	40 隔壁
41 排気ポート	42 ガス排出口
口	
44 排気管	50 ガス排出管
管	
52 ガス排出口	

【図1】



【図2】



【図3】

